



KOREAN PATENT ABSTRACTS(KR)

Document Code:A

(11) Publication No.1020000065487

(43) Publication.Date. 20001115

(21) Application No.1019990011824

(22) Application Date. 19990406

(51) IPC Code:

H01L 21/60

(71) Applicant:

SAMSUNG ELECTRONICS CO., LTD.

(72) Inventor:

LEE, TAE U

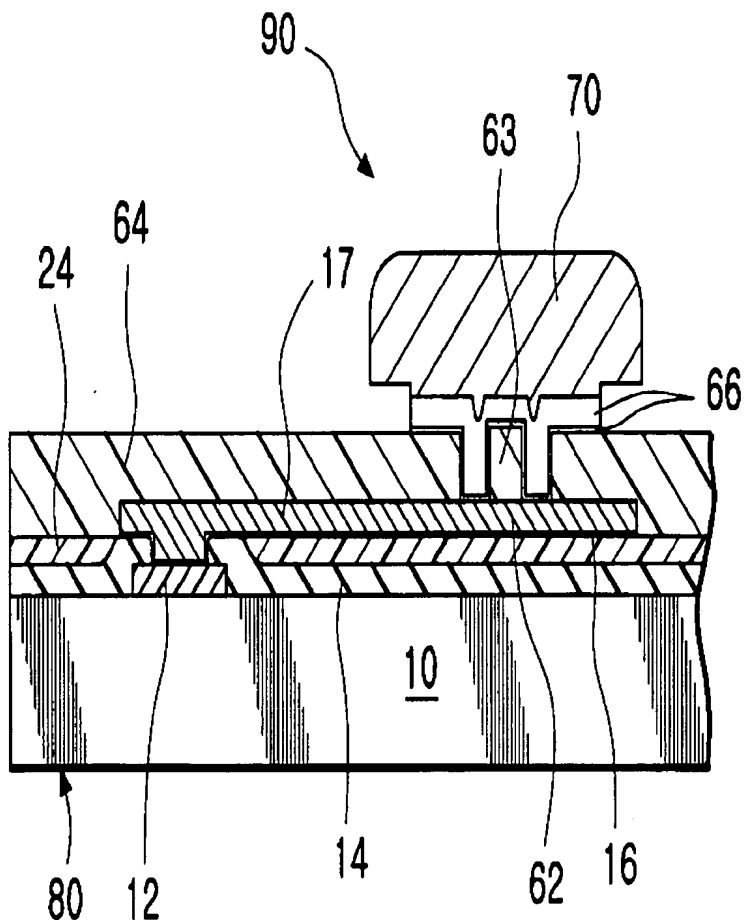
SIM, SEONG MIN

(30) Priority:

(54) Title of Invention

CHIP SCALE PACKAGE

Representative drawing



(57) Abstract:

PURPOSE: A chip scale package is provided to improve adhesion reliability by broadening a contact area between a ball pad and a barrier metal layer on which a solder ball is formed.

CONSTITUTION: A chip scale package(90) comprises a plurality of chip pads(12), an integrated circuit chip, a lower insulating layer, a metal interconnection layer(17), an upper insulating layer, a barrier metal layer (66) and a solder ball(70). The plurality of chip pads are formed on an upper surface. The integrated circuit chip has a passivation layer(14) for protecting the chip pads. The lower insulating layer is formed on the passivation layer to expose only the chip pads. The metal interconnection layer has a ball pad(62) to which the solder ball is connected, provided on the lower insulating layer while connected to each chip pad for realigning the chip pads. The upper insulating layer has a connection hole to expose the ball pad, provided on the metal interconnection layer and lower insulating layer to protect the metal interconnection

layer. The barrier metal layer is formed on the ball pad and connection hole and near the connection hole. The solder ball is formed on the barrier metal layer existing on the ball pad. In

particular, the chip scale package comprises an iron part composed of the upper insulating layer in a central portion of the connection hole to improve adhesion of the solder ball on the ball pad by broadening a contact area between the solder ball and the ball pad.

COPYRIGHT 2001 KIPO

if display of image is failed, press (F5)

(19) 대한민국특허청(KR)

(12) 공개특허공보(A)

(51) Int. Cl. 6

(11) 공개번호 특2000-0065487

H01L 21 /60

(43) 공개일자 2000년11월15일

(21) 출원번호 10-1999-0011824

(22) 출원일자 1999년04월06일

(71) 출원인 삼성전자 주식회사 윤종용

(72) 발명자 경기도 수원시 팔달구 매탄3동 416
이태우

경기도 성남시 분당구 정자동 동아아파트 208동 304호

심성민

(74) 대리인 경기도 수원시 권선구 권선동 1238 삼천리 2차 아파트 103동 802호
윤동열, 이선희

심사청구 : 없음

(54) 칩 스케일 패키지

요약

본 발명은 칩 스케일 패키지에 관한 것으로, 외부접속단자로 활용되는 솔더 볼이 형성되는 볼 패드와 솔더 볼 사이의 접합 신뢰성을 향상시키기 위하여, 본 발명은 상부면에 형성된 복수개의 칩 패드와, 상기 칩 패드들을 보호하기 위한 불활성층이 형성된 집적회로 칩과; 상기 칩 패드만 노출되도록 상기 불활성층 상에 형성된 하부 절연층과; 상기 칩 패드의 재배열을 위하여 상기 칩 패드와 각기 연결되어 상기 하부 절연층 상에 형성되며, 솔더 볼이 접속될 수 있는 볼 패드를 갖는 금속 배선층과; 상기 금속 배선층을 보호하기 위하여 상기 금속 배선층과 하부 절연층 상에 형성되며, 상기 볼 패드가 노출되도록 접속 구멍이 형성된 상부 절연층과; 상기 볼 패드, 접속 구멍 및 접속 구멍의 주위에 형성된 장벽 금속층; 및 상기 볼 패드 상의 상기 장벽 금속층 상에 형성된 솔더 볼;을 포함하며, 상기 솔더 볼과 볼 패드 사이의 접촉 면적을 넓혀 솔더 볼의 볼 패드에 대한 접합성을 향상시키기 위하여, 상기 접속 구멍의 중심 부분에 상부 절연층으로 형성된 철부를 형성한 것을 특징으로 하는 칩 스케일 패키지를 제공한다.

대표도

도5

명세서

도면의 간단한 설명

도 1은 칩 패드의 재배열을 위한 금속 배선층이 형성된 칩 스케일 패키지를 보여주는 평면도,

도 2는 도 1의 2-2선 단면도,

도 3은 웨이퍼 상태에서의 칩 스케일 패키지에 사용되는 반도체 웨이퍼를 개략적으로 나타내는 평면도,

도 4는 본 발명에 따른 칩 패드의 재배열을 위한 금속 배선층이 형성된 칩 스케일 패키지를 보여주는 평면도로서, 볼 패드의 중심 부분에 철부가 형성된 상태를 보여주는 평면도,

도 5는 5-5선 단면도이다.

*** 도면의 주요부분에 대한 설명 ***

10 : 실리콘 기판 12 : 볼 패드

14 : 불활성층 16, 36, 66 : 장벽 금속층

17 : 금속 배선층 20, 90 : 칩 스케일 패키지

22, 62 : 볼 패드 30, 70 : 솔더 볼

40 : 반도체 웨이퍼 50, 80 : 집적회로 칩

63 : 철부 82 : 칩 절단영역

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

본 발명은 웨이퍼 레벨에서 제조되는 칩 스케일 패키지에 관한 것으로, 더욱 상세하게는 볼 패드에 대한 솔더 볼의 접합 신뢰성을 향상시킬 수 있는 칩 스케일 패키지(Chip Scale Package; CSP)에 관한 것이다.

오늘날 전자산업의 추세는 경량화, 소형화, 고속화, 다기능화, 고성능화되고 높은 신뢰성을 갖는 제품을 저렴하게 제조하는 것이다. 이와 같은 제품 설계의 목표 달성을 가능하게 하는 중요한 기술 중의 하나가 바로 패키지 조립 기술이다. 칩 스케일 패키지(또는 칩 사이즈 패키지)는 근간에 개발되어 제안되고 있는 새로운 패키지 유형으로서, 전형적인 플라스틱 패키지에 비하여 많은 장점들을 가지고 있다. 칩 스케일 패키지의 가장 큰 장점은 바로 패키지의 크기이다. JEDEC(Joint Electron Device Engineering Council), EIAJ(Electronic Industry Association of Japan)와 같은 국제 반도체 협회의 정의에 따르면, 칩 스케일 패키지는 칩 크기의 1.2배 이내의 패키지 크기를 가진다.

칩 스케일 패키지는 디지털 캠코더, 휴대 전화기, 노트북 컴퓨터, 메모리 카드 등과 같이 소형화, 이동성이 요구되는 제품들에 주로 사용되며, DSP(digital signal processor), ASIC(application specific integrated circuit), 마이크로 컨트롤러(micro controller) 등과 같은 반도체 소자들이 칩 스케일 패키지 안에 실장된다. 또한, DRAM(dynamic random access memory), 플래쉬 메모리(flash memory) 등과 같은 메모리 소자를 실장한 칩 스케일 패키지의 사용도 점점 확산 일로에 있다. 현재는 전 세계적으로 약 50개 이상의 각종 칩 스케일 패키지들이 개발되거나 생산되고 있는 실정이다.

그러나, 칩 스케일 패키지가 크기 면에서 절대적인 이점을 가지고 있는 반면, 아직까지는 기존의 플라스틱 패키지에 비하여 여러모로 단점들을 안고 있는 것도 사실이다. 그 중의 하나는 신뢰성의 확보가 어렵다는 점이며, 다른 하나는 칩 스케일 패키지의 제조에 추가로 투입되는 제조 설비가 소요되는 원부자재가 많고 제조 단가가 높아 가격 경쟁력이 떨어진다는 점이다.

이와 같은 문제점을 해결할 수 있는 방안으로 웨이퍼 레벨(wafer level)에서의 칩 스케일 패키지가 대두되고 있다. 즉, 통상적인 웨이퍼 제조 공정을 통하여 반도체 웨이퍼(semiconductor wafer)가 제조되면 웨이퍼로부터 개별 칩을 분리하여 패키지 조립 공정을 거치게 된다. 패키지 조립 공정은 웨이퍼 제조 공정과는 다른 설비와 원부자재를 필요로 하는 전혀 별개의 공정이다. 그러나, 웨이퍼 레벨에서, 즉 웨이퍼로부터 개별 칩을 분리하지 않은 상태에서 완전한 제품으로서의 패키지를 제조할 수 있다. 그리고 패키지를 제조하는데 사용되는 제조 설비나 제조 공정에 기존 웨이퍼 제조 설비, 공정들을 이용할 수 있다. 이는 패키지를 제조하기 위하여 추가로 소요되는 원부자재를 최소화할 수 있음을 의미하기도 한다.

도 1은 칩 패드(12)의 재배열을 위한 금속 배선층(17)이 형성된 종래 기술에 따른 칩 스케일 패키지(20)를 보여주는 평면도이다. 도 2은 도 1의 2-2선 단면도이다. 한편, 도 1에서는 솔더 볼이 형성되는 볼 패드(22)를 도시하기 위하여 솔더 볼의 도시를 생략하였다.

도 1 및 도 2를 참조하면, 칩 스케일 패키지(20)는 웨이퍼 레벨에서 제조되는 패키지로서, 실리콘 기판(10; silicon substrate)의 상부면의 가장자리 둘레에 형성된 복수개의 칩 패드(12; chip pad)를 갖는 집적회로 칩(50)과, 칩 패드(12)의 재배열을 위하여 실리콘 기판(10)의 중심 부분에 형성된 금속 배선층(17; metal trace layer) 및 금속 배선층(17)의 말단에 형성된 볼 패드(22; ball pad)에 솔더 볼(30; solder ball)이 형성된 구조를 갖는다.

집적회로 칩(50)은, 실리콘 기판(10)의 상부면에 집적회로(도시안됨)와 전기적으로 연결된 복수개의 칩 패드(12)와, 실리콘 기판(10)의 내부의 집적회로들과 칩 패드(12)들을 보호하기 위한 불활성층(14; passivation layer)으로 구성된다. 칩 패드(12)는 보통 알루미늄(Al)으로 되어 있으며, 불활성층(14)은 산화막 또는 질화막이다.

불활성층(14) 위에 금속 배선층(17)을 형성하기 위하여, 불활성층(17) 위에 칩 패드(12)가 노출되도록 절연층(24; dielectric layer; 이하, 하부 절연층이라 한다)이 소정의 두께로 형성된다.

금속 배선층(17)이 칩 패드(12)와 연결되어 하부 절연층(24) 상에 형성되며, 실리콘 기판(10)의 중심 방향으로 형성된다. 이때, 금속 배선층(17)의 말단에 소정의 크기의 솔더 볼(30)이 형성될 수 있는 원형의 볼 패드(22)가 형성된다.

다시 절연층(34; 이하, 상부 절연층이라 한다)이 볼 패드(22)를 제외한 실리콘 기판(10)의 전면에 소정의 두께로 형성한다. 즉, 상부 절연층(26)은 금속 배선층(17)과 앞서 형성된 불활성층(14)과 상부 절연층(24)을 모두 덮게 된다.

그리고, 볼 패드(22)와 볼 패드(22) 주위에 장벽 금속층(36)을 형성한 이후에 그 위에 솔더 볼(30)을 형성한다. 물론, 금속 배선층(17)이 형성되는 칩 패드(12)와 하부 절연층(24) 상에도 장벽 금속층(16)이 형성되어 있다.

웨이퍼 레벨에서 제조된 종래 기술에 따른 칩 스케일 패키지(20)는 형성되는 솔더 볼(30)의 크기가 작고, 도 2에도 도시된 바와 같이 통상적으로 볼 패드(22)는 상부 절연층 상에 상방향이 개방된 원통형으로 형성된 접속 구멍에 노출되기 때문에, 볼 패드(22)와 솔더 볼(30) 사이의 접촉 면적이 작다. 따라서, 볼 패드(22)의 피치가 줄어들수록 볼 패드(22)와 솔더 볼(30) 사이의 접촉 면적이 줄어들기 때문에, 볼 패드(22)에 대한 솔더 볼(30)의 접합 신뢰성이 떨어질 수 있다.

발명이 이루고자하는 기술적 과제

따라서, 본 발명의 목적은 볼 패드와 솔더 볼 사이의 접합 신뢰성을 향상시킬 수 있는 칩 스케일 패키지를 제공하는 데 있다.

발명의 구성 및 작용

상기 목적을 달성하기 위하여, 본 발명은 상부면에 형성된 복수개의 칩 패드와, 상기 칩 패드들을 보호하기 위한 불활성층이 형성된 집적회로 칩과; 상기 칩 패드만 노출되도록 상기 불활성층 상에 형성된 하부 절연층과; 상기 칩 패드의 재배열을 위하여 상기 칩 패드와 각기 연결되어 상기 하부 절연층 상에 형성되며, 솔더 볼이 접속될 수 있는 볼 패드를 갖는 금속 배선층과; 상기 금속 배선층을 보호하기 위하여 상기 금속 배선층과 하부 절연층 상에 형성되며, 상기 볼 패드가 노출되도록 접속 구멍이 형성된 상부 절연층과; 상기 볼 패드, 접속 구멍 및 접속 구멍의 주위에 형성된 장벽 금속층; 및 상기 볼 패드 상의 상기 장벽 금속층 상에 형성된 솔더 볼;을 포함하며, 상기 솔더 볼과 볼 패드 사이의 접촉 면적을 넓혀 솔더 볼의 볼 패드에 대한 접합성을 향상시키기 위하여, 상기 접속 구멍의 중심 부분에 상부 절연층으로 형성된 철부를 형성한 것을 특징으로 하는 칩 스케일 패키지를 제공한다.

본 발명에 따른 금속 배선층의 아래에 장벽 금속층이 형성하는 것이 바람직하다. 그리고, 접속 구멍은 볼 패드가 노출된 원통 형상이며, 장벽 금속층과 솔더 패드 사이의 접촉 면적을 증가시키기 위하여 접속 구멍의 사이의 볼 패드 상에 원기둥 형상, 십자 형상 또는 다양한 형태의 철부를 형성하는 것이 바람직하다.

또한 본 발명에 따른 칩 패드는 집적회로 칩의 가장자리 둘레에 형성되며, 볼 패드는 집적회로 칩의 중심 부분에 격자 배열되게 형성할 수 있다.

이하, 첨부 도면을 참조하여 본 발명을 보다 상세하게 설명하고자 한다.

도 3은 웨이퍼 상태에서의 칩 스케일 패키지에 사용되는 반도체 웨이퍼(40)를 개략적으로 나타내는 평면도이다. 도 4는 본 발명에 따른 칩 패드(12)의 재배열을 위한 금속 배선층(17)이 형성된 칩 스케일 패키지(90)를 보여주는 평면도로서, 볼 패드(62)의 중심 부분에 철(凸)부(63)가 형성된 상태를 보여주는 평면도이다. 그리고, 도 5는 도 4의 5-5선 단면도이다.

도 3을 참조하면, 반도체 웨이퍼(40)의 실리콘 기판(10)에는 일반적으로 웨이퍼 제조 공정을 통해 칩 패드(12)를 포함하는 소정의 집적회로들이 형성된다. 실리콘 기판(10)에 집적된 회로들이 복수개의 집적회로 칩(80)을 구성하고, 이웃하는 집적회로 칩(80)들 사이에 회로들이 형성되지 않은 영역이 칩 절단영역(82; scribe line)이라는 것은 잘 알려져 있는 사실이다. 그리고, 집적회로 칩(80)을 이루는 집적회로가 본 발명을 이해하는데 반드시 필요한 것은 아니다. 따라서, 집적회로는 본 명세서 및 도면에 개시하지 않는다.

그리고, 웨이퍼 레벨에서 복수개의 칩 스케일 패키지를 제조한 이후에 칩 절단영역을 따라서 절단하여 개별 칩 스케일 패키지로 분리하게 되는데, 도 4 및 도 5는 웨이퍼에서 분리된 칩 스케일 패키지(90)의 일 부분을 도시하고 있다.

도 4 및 도 5를 참조하면, 칩 스케일 패키지(90)는 실리콘 기판(10)의 상부면의 가장자리 둘레에 형성된 복수개의 칩 패드(12)를 갖는 집적회로 칩(80)과, 칩 패드(12)의 재배열을 위하여 실리콘 기판(10)의 중심 부분에 형성된 금속 배선층(17) 및 금속 배선층(17)의 말단에 형성된 볼 패드(12)에 솔더 볼(70)이 형성된 구조를 갖는다.

집적회로 칩(80)은, 실리콘 기판(10)의 상부면에 집적회로(도시안됨)와 전기적으로 연결된 복수개의 칩 패드(12)와, 실리콘 기판(10)의 내부의 집적회로들과 칩 패드(12)들을 보호하기 위한 불활성층(14; passivation layer)으로 구성된다. 칩 패드(12)는 보통 알루미늄(Al)으로 되어 있으며, 불활성층(14)은 산화막 또는 질화막이다. 한편, 도 4에서 볼 수 있듯이, 칩 패드(12)들은 집적회로 칩(80)의 가장자리에 열을 지어 형성된다. 그러나 칩 패드(12)의 위치가 반드시 집적회로 칩(80)의 가장자리에 한정되는 것은 아니다.

불활성층(14) 위에 금속 배선층(17)을 형성하기 위한 하부 절연층(24)이 불활성층(14) 위에 칩 패드(12)가 노출되도록 소정의 두께로 형성된다. 하부 절연층(24)으로는 응력 흡수가 잘되는 유기물인 폴리이미드(polyimide) 또는 펜조 사이클로부텐(benzo cyclo butene; BCB)으로 형성하는 것이 바람직하다. 하부 절연층(24)으로부터 칩 패드(12)를 노출시키는 방법은 통상적인 사진 공정을 사용한다.

금속 배선층(17)이 칩 패드(12)와 각기 연결되도록 하부 절연층(24) 상에 형성되며, 실리콘 기판(10)의 중심 방향으로 형성된다. 이때, 금속 배선층(17)의 말단에 솔더 볼(70)이 형성될 수 있는 원형의 볼 패드(62)가 형성된다. 이때, 본 발명의 실시예에서는 칩 패드(12)가 집적회로 칩(80)의 가장자리 둘레에 형성되기 때문에, 볼 패드(62)는 칩 패드(12) 사이의 영역에 격자 배열되게 형성하는 것이 바람직하다.

상부 절연층(64)은 볼 패드(62)를 제외한 실리콘 기판(10)의 전면에 소정의 두께로 형성한다. 즉, 상부 절연층(64)은 금속 배선층(17)과 앞서 형성된 불활성층(14)과 절연 패턴층(24)을 모두 덮게 된다. 상부 절연층(64)은 집적회로 칩(80)에 가해지는 충격을 완화시켜 집적회로 칩(80)을 보호할 뿐만 아니라, 일반적으로 사용되는 배선기판의 역할을 대신할 수 있다. 상부 절연층(64) 또한 통상적인 사진 공정을 통하여 볼 패드(62)가 노출될 수 있는 접속 구멍(68)을 형성하게 된다. 한편, 본 발명의 실시예에서는 솔더 볼(70)과의 접합성을 향상시키기 위하여 볼 패드(62) 상의 절연물을 완전히 제거하지 않고 일부를 남겨둔다. 즉, 도 4에 도시된 바와 같이 접속 구멍(68)이 원형으로 형성될 경우에, 접속 구멍(68)의 중심 부분에 원기둥 형태의 철부(63)를 남겨 둘 수 있다. 철부(63)는 원기둥 형태 이외의 십자가 형태 또는 다른 형태로 형성하여도 무방하다. 이와 같이 접속 구멍(68)의 중심에 철부(63)를 형성할 경우에, 이후에 형성될 장벽 금속층(66)과의 접촉 면적을 극대화할 수 있기 때문에, 솔더 볼(70)의 접합 신뢰성을 향상시킬 수 있다.

상부 절연층(64)으로는 흡습에 대한 저항성이 우수하며, 높은 절연성, 고온에서의 안정성, 낮은 수축률 등의 특성을 가지는 물리적, 화학적 성질이 우수한 유기물을 사용하는 것이 바람직하다. 예를 들어, 폴리이미드 또는 펜조 사이클로 부텐(BCB)과 같은 유기물을 사용하여 2 μ m 내지 50 μ m 두께로 상부 절연층(64)을 형성하는 것이 바람직하다.

장벽 금속층(66)은 금속 배선층(17)을 형성하기 전에 금속 배선층(17)의 접촉층, 확산 장벽층, 도금 기초층으로 이용될 부분으로서, 볼 패드(62), 접속 구멍(68)의 내벽 및 접속 구멍(68)의 주위에 형성된다. 이때, 장벽 금속층(66)은 볼 패드(62) 상에 형성된 철부(63)를 따라서 형성되기 때문에, 종래에 비교하여 장벽 금속층(66)과 볼 패드(62)와의 접촉 면적이 증가하고, 솔더 볼(70)이 형성되는 부분의 하부 구조를 견고히 할 수 있다. 장벽 금속층(66)으로 티타늄/구리(Ti/Cu), 티타늄/티타늄-구리/구리(Ti/Ti-Cu/Cu), 크롬/크롬-구리/구리(Cr/Cr-Cu/Cu), 티타늄텅스텐/구리(TiW/Cu), 알루미늄/니켈/구리(Al/Ni/Cu), 알루미늄/니켈바나듐/구리(Al/NiV/Cu) 등을 사용할 수 있다. 그리고, 금속 배선층(17)이 형성되는 칩 패드(12)와 하부 절연층(24) 상에도 장벽 금속층(16)이 형성되어 있다.

그리고, 볼 패드(62)의 장벽 금속층(66) 상에 솔더 볼(70)을 형성한다. 이때, 솔더 볼(70)이 형성되는 장벽 금속층(66)과 볼 패드(62) 사이의 접촉 면적이 증가하기 때문에, 장벽 금속층(66)에 형성되는 솔더 볼(70)의 접합 신뢰성을 향상시킬 수 있다.

솔더 볼(70)을 형성하는 방법은, 볼 패드(62)에 플럭스(flux)를 도포한 후 구형의 솔더 볼을 올리고 리플로우(reflow)시킴으로써 솔더 볼(70)을 형성한다. 솔더 볼(70)은 볼 패드(62)를 통하여 금속 배선층(17)과 칩 패드(12)와 전기적으로 연결된다. 이때의 솔더 볼(70)은 볼 배치(ball placement) 방법으로 형성하였지만, 도금(plating), 스텐실 프린팅(stencil printing), 메탈젯(metaljet) 방법에 의해서도 형성될 수 있다. 도금 방법은 볼 패드에 전술된 바와 같은 금속 기저층을 형성한 후에 감광막을 이용한 도금으로 솔더 범프(solder bump)를 형성하고, 다시 솔더 범프를 리플로우시켜 솔더 볼을 형성한다. 스텐실 프린팅 방법은 마스크(mask)를 사용하여 솔더 페이스트를 인쇄하는 방법이고, 메탈젯 방법은 용융된 액상의 솔더를 직접 뿌리는 방법이다.

한편, 본 발명의 실시예에서는 웨이퍼 레벨에서 제조된 칩 스케일 패키지의 솔더 볼이 형성되는 볼 패드에 절연물의 철부를 형성하였지만, 솔더 볼이 형성되는 인쇄회로기판 또는 다른 종류의 칩 스케일 패키지의 볼 패드에 절연물의 철부를 형성하는 구성은 본 발명의 기술적 사상의 범위를 벗어나지 않는다.

그리고, 본 발명의 실시예에서는 볼 패드 사이에 원통형 또는 십자형의 철부를 형성하였지만, 다른 형태로도 구현이 가능하며, 철부를 복수개 형성할 수도 있을 것이다.

따라서, 본 발명의 구조를 따르면, 슬더 볼이 형성된 장벽 금속층과 볼 패드 사이의 접촉 면적이 증가되어 슬더 볼의 볼 패드에 대한 접합 신뢰성을 향상시킬 수 있다.

(57) 청구의 범위

청구항 1. 상부면에 형성된 복수개의 칩 패드와, 상기 칩 패드들을 보호하기 위한 불활성층이 형성된 집적회로 칩과;

상기 칩 패드만 노출되도록 상기 불활성층 상에 형성된 하부 절연층과;

상기 칩 패드의 재배열을 위하여 상기 칩 패드와 각기 연결되어 상기 하부 절연층 상에 형성되며, 슬더 볼이 접속될 수 있는 볼 패드를 갖는 금속 배선층과;

상기 금속 배선층을 보호하기 위하여 상기 금속 배선층과 하부 절연층 상에 형성되며, 상기 볼 패드가 노출되도록 접속 구멍이 형성된 상부 절연층과;

상기 볼 패드, 접속 구멍 및 접속 구멍의 주위에 형성된 장벽 금속층; 및

상기 볼 패드 상의 상기 장벽 금속층 상에 형성된 슬더 볼;을 포함하며,

상기 슬더 볼과 볼 패드 사이의 접촉 면적을 넓혀 슬더 볼의 볼 패드에 대한 접합성을 향상시키기 위하여, 상기 접속 구멍의 중심 부분에 상부 절연층으로 형성된 철부를 형성한 것을 특징으로 하는 칩 스케일 패키지.

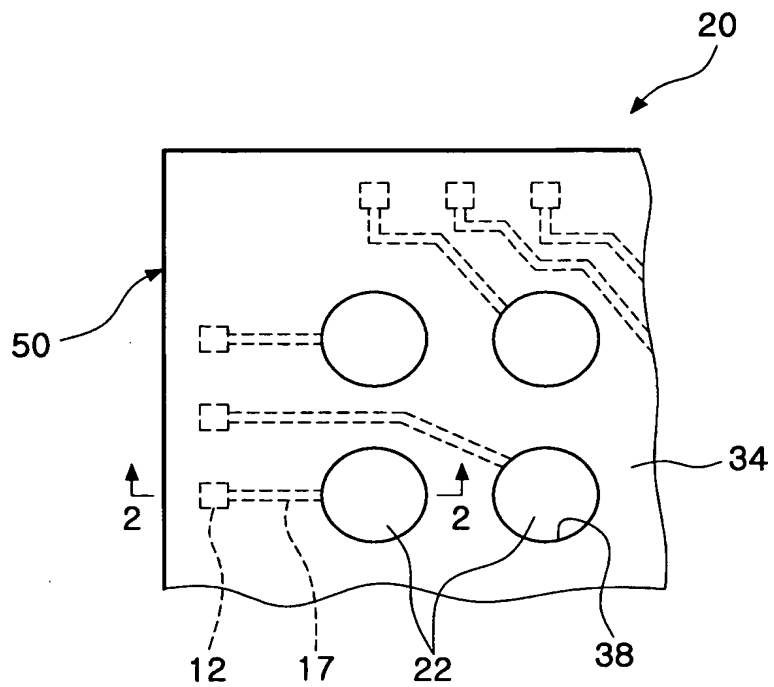
청구항 2. 제 1항에 있어서, 상기 금속 배선층의 아래에 장벽 금속층이 형성되어 있는 것을 특징으로 하는 칩 스케일 패키지.

청구항 3. 제 1항에 있어서, 상기 접속 구멍은 상기 볼 패드가 노출된 원통 형상이며, 상기 장벽 금속층과 슬더 패드 사이의 접촉 면적을 증가시키기 위하여 상기 접속 구멍의 사이의 볼 패드 상에 원기둥 형상, 십자 형상 또는 다양한 형태의 철부를 형성한 것을 특징으로 하는 칩 스케일 패키지.

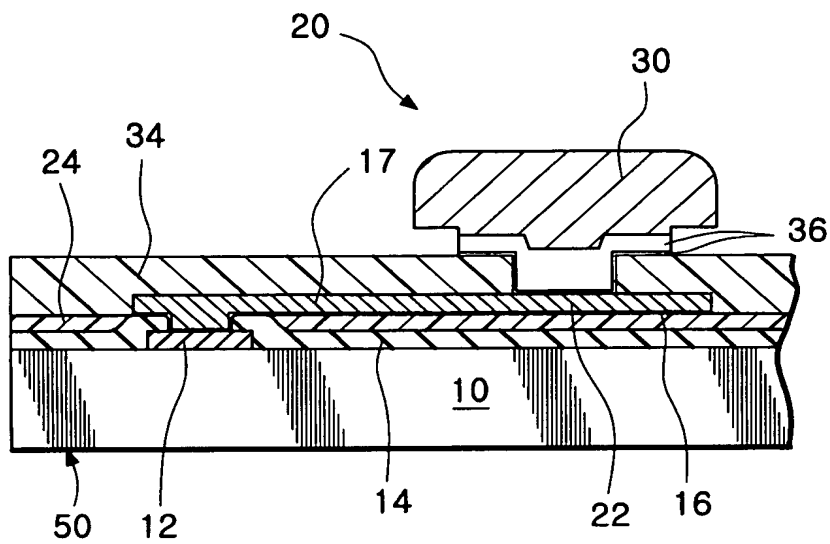
청구항 4. 제 1항에 있어서, 상기 칩 패드는 상기 집적회로 칩의 가장자리 둘레에 형성되며, 상기 볼 패드는 상기 집적회로 칩의 중심 부분에 격자 배열되게 형성된 것을 특징으로 칩 스케일 패키지.

도면

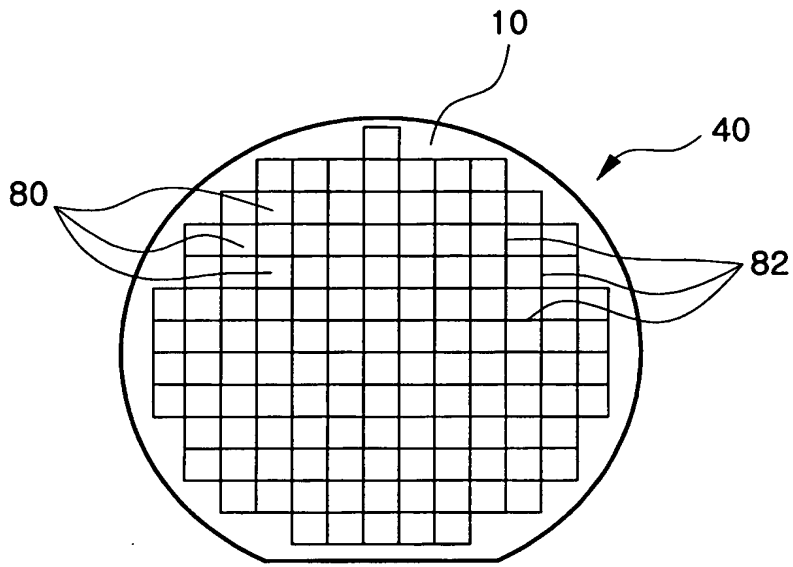
도면1



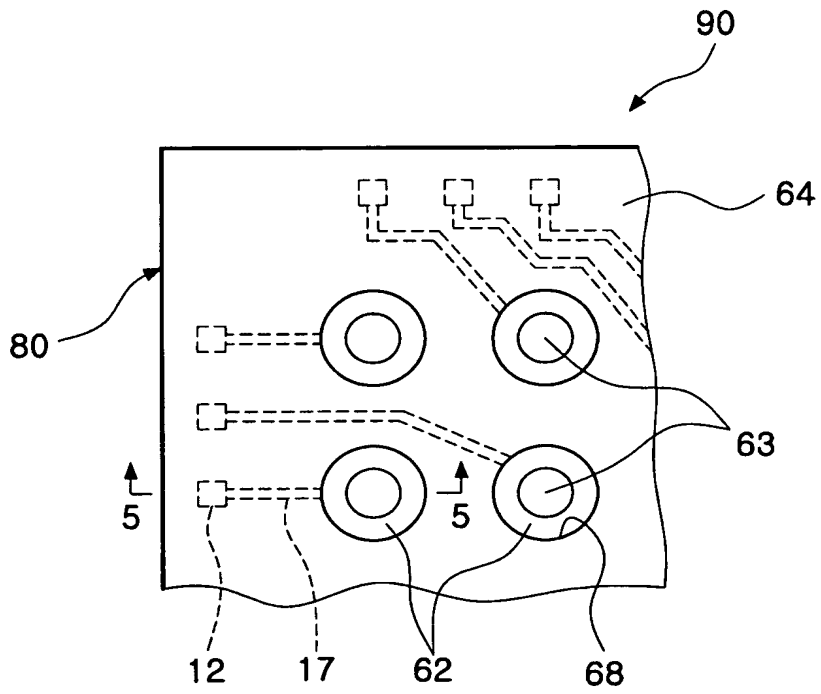
도면2



도면3



도면4



도면5

